



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07263563 A

(43) Date of publication of application: 13.10.1995

(51) Int. Cl. H01L 21/82

G01R 31/28, G11C 29/00, H01L 27/04, H01L 21/822, H01L 29/78

(21) Application number: 06053679

(22) Date of filing: 24.03.1994

(71) Applicant: TOSHIBA CORP

TOSHIBA MICRO ELECTRON KK

(72) Inventor: MIZUKAMI SHIGETO

KAWAGUCHI TAKAYUKI

## (54) SEMICONDUCTOR DEVICE

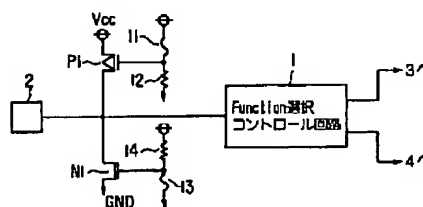
## (57) Abstract:

**PURPOSE:** To fix either one of the functional selection of a control circuit by performing the selection of the signal level of the control circuit from a control input terminal and also performing it with the disconnection of a first and a second fuse.

**CONSTITUTION:** Each one terminal of a P-channel type MOS transistor P1 and N-channel type transistor N1 are connected to a functional selection terminal 2. The gate of the PMOS transistor P1 is connected to a power supply Vcc through a fuse 11 and at the same time is grounded through a resistive element 12. The gate of the NMOS transistor N1 is grounded through a

fuse 13 and at the same time is connected to the power supply Vcc through a resistive element 14. When the fuse 11 on the transistor P1 side is disconnected, the transistor P1 is turned on, and an 'H' level is applied to the selection terminal 2, and the fuse 13 on the transistor N1 side is disconnected, thereby turning on the transistor N1 to apply an 'L' level to the selection terminal 2.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-263563

(43) 公開日 平成7年(1995)10月13日

(51) Int. Cl. <sup>6</sup>	級別記号	片内整理番号	P I	技術表示箇所
H 0 1 L 21/82				
G 0 1 R 31/28				
G 1 1 C 29/00	3 0 3 B	7004-5L		
			H 0 1 L 21/ 82	S
			G 0 1 R 31/ 28	V
審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平6-53879

(22) 出願日 平成6年(1994)3月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 水上 重人

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(72) 発明者 川口 隆之

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

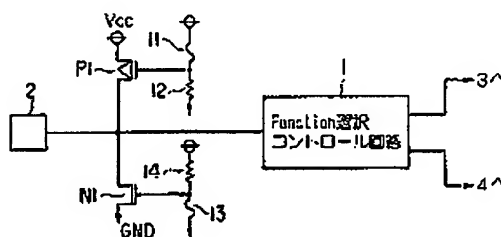
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体回路装置

(57) 【要約】

【目的】 複数機能を有する回路の機能選択の円滑化。

【構成】 入力端子と、第1の電源と第1のノードとの間に接続された第1のヒューズと、前記第1のノードをゲート入力とし前記第1の電源と前記入力端子との間に接続された第1のMOSトランジスタと、第2の電源と第2のノードとの間に接続された第2のヒューズと、前記第2のノードをゲート入力とし前記第2の電源と前記入力端子との間に接続された第2のMOSトランジスタと、前記第2の電源と前記第1のノードとの間に接続された第1の抵抗素子と、前記第1の電源と前記第2のノードとの間に接続された第2の抵抗素子と、前記入力端子に接続された制御回路とを具備する。



(2)

特開平7-263563

1

2

【特許請求の範囲】

【請求項1】 入力端子と、

第1の電源と第1のノードとの間に接続された第1のヒューズと、

前記第1のノードをゲート入力とし前記第1の電源と前記入力端子との間に接続された第1のMOSトランジスタと、

第2の電源と第2のノードとの間に接続された第2のヒューズと、

前記第2のノードをゲート入力とし前記第2の電源と前記入力端子との間に接続された第2のMOSトランジスタと、

前記第2の電源と前記第1のノードとの間に接続された第1の抵抗素子と、

前記第1の電源と前記第2のノードとの間に接続された第2の抵抗素子と、

前記入力端子に接続された制御回路とを具備し、

前記第1、第2のヒューズが切断されない状態においては、前記第1、第2のMOSトランジスタはノーモリー・オフ状態であり、該制御回路によるその後段回路の制御は、前記入力端子から与えられる信号、または前記第1、第2のヒューズの切断により前記第1、第2のMOSトランジスタから出力される信号、で行うことを特徴とする半導体回路装置。

【請求項2】 前記第1の抵抗素子を第3のMOSトランジスタで置換し、このMOSトランジスタのゲートを該トランジスタが抵抗として作用する電圧により制御し、前記第2の抵抗素子を第4のMOSトランジスタで置換し、このMOSトランジスタのゲートを該トランジスタが抵抗として作用する電圧により制御するようにしてなる請求項1に記載の半導体回路装置。

【請求項3】 入力端子と、

第1の電源と第1のノードとの間に接続された第1のヒューズと、

前記第1のノードをゲート入力とし前記第1の電源と前記入力端子との間に接続された第1のMOSトランジスタと、

第2の電源と第2のノードとの間に接続された第2のヒューズと、

前記第2のノードをゲートとし前記第2の電源と前記入力端子との間に接続された第2のMOSトランジスタと、

前記第1の電源と第3のノードとの間に接続された第1の容量と、

前記第3のノードをゲートとし前記第2の電源と前記第1のノードとの間に接続された第5のMOSトランジスタと、

前記第1の電源と前記第2のノードとの間に接続された第2の容量と、

第4のノードをゲートとし前記第1の電源と前記第2の

ノードとの間に接続された第6のMOSトランジスタと、

前記第1のノードをゲートとし前記第1の電源と前記第3のノードとの間に接続された第7のMOSトランジスタと、

前記第1のノードをゲートとし前記第2の電源と第3のノードとの間に接続された第8のMOSトランジスタと、

前記第2のノードをゲートとし前記第1の電源と前記第4のノードとの間に接続された第9のMOSトランジスタと、

前記第2のノードをゲートとし前記第2の電源と第4のノードとの間に接続された第10のMOSトランジスタと、

前記入力端子に接続された制御回路とを具備し、

前記第1、第2のヒューズが切断されない状態においては、前記第1、第2のMOSトランジスタはノーモリー・オフ状態であり、該制御回路によるその後段回路の制御は、前記入力端子から与えられる信号、または前記第1、第2のヒューズの切断により前記第1、第2のMOSトランジスタから出力される信号、で行うことを特徴とする半導体回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、集積回路（IC）内部の制御回路に対し、複数種の制御を、ICの外部および内部から行う場合に適した半導体回路装置に係わり、特に複数のファンクション（機能）を備えるMOSメモリICにおいて、ファンクションの選択を外部入力端子からの電圧制御によりなされるものに使用されるものである。

【0002】

【従来の技術】近年、MOSメモリは、機能の多様化が要求されるようになってきている。例えば1つのメモリICにおいて、ビット構成を変更することができる機能を持つもの（バイト・モード機能）や、ファンクション・テストを行うにあたり、そのテスト時間の短縮化を図るための機能を持つもの（テスト・モード機能）等、システム的に高付加価値のメモリICが要求されている。

【0003】これらバイト・モード、テスト・モード等において、それぞれのファンクション選択は、半導体チップ内にファンクション選択端子を設け、外部からの電圧制御により行われている。

【0004】バイト・モード機能を備えるメモリICの場合、ファンクション選択端子に、例えば“H”（高）レベル電圧が印加されると、×1ビット・ファンクション、“L”（低）レベル電圧が印加されると、×4ビット・ファンクションとなるようなシステムとなっている。

【0005】このファンクションの切り替えは、図5に

(3)

特開平7-263563

3

4

示すように、ファンクション選択コントロール回路1によりコントロールされる。ファンクション選択端子2に例えば“H”レベルが印加されると、ファンクション選択コントロール回路1により、×1ビット用回路3は活性化され、×4ビット用回路4は非活性化される。同様に、端子1に例えば“L”レベルが印加されると、×4ビット用回路4は活性化され、×1ビット用回路3は非活性化されるようになっている。

【0006】尚、上記×1ビット用回路3とは、例えば4MビットメモリICの場合、4M×1ビット（1ビットのデータ出力）となるメモリであり、×4ビット用回路4とは、例えば4MビットICの場合、1M×4ビット（4ビット並列データ出力）となるメモリであり、これらいずれの場合でも、同じ4Mビットのメモリ・セル・アレイが使用され、これらいずれのメモリとして使用するかの配線の切り替え信号に、ファンクション選択コントロール回路1の2つの出力が使用されるのである。

【0007】一方、テスト・モード機能を備えるICの場合、そのファンクションの切り替えは、上述のバイト・モード機能の場合と同様に、図5に対応するファンクション選択コントロール回路によりコントロールされる。例えばファンクション選択端子に“H”レベルが印加されると、テスト・モード・ファンクションとなり、“L”レベルが印加されると、通常のファンクションとなるようなシステムとなっている。

【0008】ところで、バイト・モード機能、テスト・モード機能等において、それぞれ複数のファンクション機能を備えるICが、必ずしもいつもは要求されない場合がある。よって、例えば複数ファンクション機能の製品（IC）を、単ファンクション機能に固定させる場合（例えば端子2により、回路3のみを活性化状態におく場合）の方法として、マスクマスタースライス（例えばA1マスク）により、ファンクション選択端子を定電圧源に接続させることで対応するか、あるいはファンクション選択端子のボンディングワイヤを、定電圧源のリードフレームもしくはそのベッド部に接続させることで対応している。

【0009】

【発明が解決しようとする課題】しかしながら、ファンクション機能の選択をマスク・マスタースライスにて行うことは、複数ファンクション機能用のマスクと単ファンクション機能用のマスクとの両方を用意する必要があり、IC製造コストが高くなってしまふ。また、マスク・マスタースライスを例えばA1マスクで行う場合、IC製造過程におけるA1工程後は、ファンクション機能の変更ができなくなってしまう。

【0010】一方、定電圧源のリードフレームに、ファンクション選択端子のボンディングワイヤを接続させるためには、あらかじめファンクション選択端子を、定電圧源端子の近くに配置させる必要があり、レイアウト的

な制約が生じてしまう。

【0011】また、上記ベッド部にファンクション選択端子のボンディングワイヤを接続させる場合は、ベッド部の電位は、“H”レベルもしくは“L”レベルのいずれかであるため、所望のレベルが得られない場合があり、この場合は、対処できないことになる。

【0012】本発明は上記実情に鑑みてなされたもので、通常はICの外部入力端子となる制御入力端子からの電圧制御により、ファンクション機能の選択を行うことができる回路（特にIC）において、ファンクション機能を単機能に固定する場合に行う上記制御入力端子への定電圧供給を、マスク・マスタースライスあるいはボンディングワイヤによる入力切り替えを行わずに可能とさせる半導体回路装置を提供しようとするものである。

【0013】

【課題を解決するための手段と作用】本発明は、入力端子と、第1の電源と第1のノードとの間に接続された第1のヒューズと、前記第1のノードをゲート入力とし前記第1の電源と前記入力端子との間に接続された第1のMOSトランジスタと、第2の電源と第2のノードとの間に接続された第2のヒューズと、前記第2のノードをゲート入力とし前記第2の電源と前記入力端子との間に接続された第2のMOSトランジスタと、前記第2の電源と前記第1のノードとの間に接続された第1の抵抗素子と、前記第1の電源と前記第2のノードとの間に接続された第2の抵抗素子と、前記入力端子に接続された制御回路とを具備し、前記第1、第2のヒューズが切断されない状態においては、前記第1、第2のMOSトランジスタはノーモリー・オフ状態であり、該制御回路によるその後段回路の制御は、前記入力端子から与えられる信号、または前記第1、第2のヒューズの切断により前記第1、第2のMOSトランジスタから出力される信号で行うことを特徴とする半導体回路装置である。

【0014】即ち本発明は、上記制御回路により複数機能の選択を行うための、上記制御回路の入力信号レベルの選択を、上記制御入力端子から行えるようにすると共に、上記第1または第2のヒューズの切断でも行えるようにすることにより、上記制御入力端子がICの外部入力端子である場合、この端子から上記制御回路へ所望の信号レベルを供給でき、この信号レベルのIC外部からの供給が不要となった場合には、上記各ヒューズのうちのいずれかを切断するだけで、“H”、“L”いずれかのレベルを、IC内から固定的に上記制御回路の入力とすることができ、以て、この制御回路の機能選択を、いずれか一方に固定できるようにしたものである。

【0015】

【実施例】以下、図面を参照して本発明の一実施例を説明する。図1は、同実施例の回路構成図であるが、これは図5のものに対応させた場合の例であるから、対応箇所には同一符号を用いる。

(4)

特開平7-263563

5

【0016】入力端子であるファンクション選択端子2に、Pチャネル型MOSトランジスタP1の一端を、Nチャネル型トランジスタN1の一端をそれぞれ接続する。PMOSTランジスタP1の他端は電源Vccに、NMOSTランジスタN1の他端はGND（接地）に接続する。

【0017】PMOSTランジスタP1のゲートは、ヒューズ11を介して電源Vccに接続すると同時に、抵抗素子12を介して接地する。抵抗素子12の抵抗値は、ヒューズ11が切断されていない状態において、PMOSTランジスタP1が充分オフするような値に設定する。

【0018】NMOSTランジスタN1のゲートは、ヒューズ13を介して接地すると同時に、抵抗素子14を介して電源Vccに接続する。抵抗素子14の抵抗値は、ヒューズ13が切断されていない状態において、NMOSTランジスタN1が充分オフするような値に設定する。

【0019】ファンクション選択端子2は、ICの外部入力端子を構成している。この様な図1の構成とすることにより、PMOSTランジスタP1側のヒューズ11を切断することで、PMOSTランジスタP1がオンし、ファンクション選択端子2に“H”レベルが印加される。同様に、NMOSTランジスタN1側のヒューズ13を切断することで、NMOSTランジスタN1がオンし、ファンクション選択端子2に“L”レベルが印加される。

【0020】従って、ICの内部でファンクション選択コントロール回路1を、図5の回路3か4のうちの一方を選択（活性）状態にできる。またヒューズ11、13を切断しないことで、トランジスタP1、N1はノーマリー・オフ状態となっているので、ICの外部から、ファンクション選択端子2により、制御回路であるファンクション選択コントロール回路1を介して、図5の回路3、4のいずれかを選択駆動できるものである。

【0021】図2は、本発明の異なる実施例である。この例は、図1の抵抗素子12をNMOSTランジスタN3で置換し、このMOSトランジスタのゲートを電源Vccにより駆動し、抵抗素子14をPMOSTランジスタP3で置換し、このトランジスタのゲートを、接地電位で駆動する。トランジスタN3、P3のサイズは、ヒューズ11、13が切断されていない状態において、トランジスタP2、N2が充分オフするようなサイズに設定しておく。この図2のものの作用効果は、図1のものと同様である。

【0022】図3は、本発明の異なる実施例である。この例は、図1の抵抗素子12をPMOSTランジスタP5で置換し、このMOSトランジスタのゲートを接地電位により駆動し、抵抗素子14をNMOSTランジスタN5で置換し、このトランジスタのゲートを、電源Vc

6

cで駆動する。トランジスタP5、N5のサイズは、ヒューズ11、13が切断されていない状態において、トランジスタP4、N4が充分オフするようなサイズに設定しておく。この図3のものの作用効果は、図1のものと同様である。

【0023】図4は、本発明の異なる実施例である。この例は、ファンクション選択端子2と、電源Vccとノード31との間に接続されたヒューズ11と、Vccとノード32との間に接続された容量C11と、ノード31をゲートとしVccと端子2との間に接続されたPMOSTランジスタP10と、ノード32をゲートとし接地電位とノード31との間に接続されたNMOSTランジスタN12と、ノード31をゲートとしVccとノード32との間に接続されたPMOSTランジスタP11と、ノード31をゲートとし接地電位とノード32との間に接続されたNMOSTランジスタN11と、接地電位とノード33との間に接続されたヒューズ13と、Vccとノード33との間に接続された容量C12と、ノード33をゲートとし接地電位と端子2との間に接続されたNMOSTランジスタN10と、ノード34をゲートとしVccとノード33との間に接続されたPMOSTランジスタP12と、ノード33をゲートとしVccとノード34との間に接続されたPMOSTランジスタP13と、ノード33をゲートとし接地電位とノード34との間に接続されたNMOSTランジスタN13と、前記端子2に接続された制御回路1とを具備し、この制御回路1の制御は、端子2から、またはヒューズ11、13のうちのいずれかの切断によりMOSトランジスタP10もしくはN10から出力される信号で制御されることを特徴としている。

【0024】図4においては、ヒューズ11を切断し、ヒューズ13を切断しないことで、ファンクション選択端子2には、トランジスタP10より“H”レベル信号が印加されるようになる。というのは、電源投入時、容量C11により、トランジスタN12のゲート電圧は電源電圧Vccに追従して上昇する。この結果、トランジスタN12がオンし、トランジスタP10、P11、N11のゲート電圧が“L”レベルになり、トランジスタP11がオンし、トランジスタN11がオフし、トランジスタP11によりトランジスタN12のゲート電圧が“H”レベルに安定し、トランジスタP10のゲート電圧は“L”レベルに安定する。

【0025】また、上記のようにヒューズ13は切断されていないので、上記電源投入後、トランジスタP13、N13、N10のゲート電圧は、ヒューズ13を介して“L”レベルになる。従ってトランジスタP13はオンし、トランジスタN13はオフし、トランジスタP13により、トランジスタP12のゲート電圧は“H”レベルになり、トランジスタP12はオフ状態となる。この結果、トランジスタN10のゲート電圧は、ヒュー

(5)

特開平7-263563

7

8

ズ13を介した接地電位により、“L”レベルに安定し、トランジスタN10はオフ状態となる。よって、トランジスタP10はオン状態、トランジスタN10はオフ状態となり、ファンクション選択端子2には、“H”レベルが供給されるのである。

【0026】逆に、ヒューズ13を切断し、ヒューズ11を切断しないことで、ファンクション選択端子2には、トランジスタN10より“L”レベルが印加されるようになる。というのは、電源投入時、容量C12によって、トランジスタP13、N13、N10のゲート電圧は、電源電圧Vccに追従して上昇する。この結果トランジスタP13はオフし、トランジスタN13はオンし、トランジスタP12のゲート電圧が“L”レベルになる。このためトランジスタP12がオンし、このトランジスタP12により、トランジスタN10のゲート電圧は“H”レベルに安定する。

【0027】また、ヒューズ11は切断されていないので、トランジスタP10、P11、N11のゲート電圧は“H”レベルになる。このためトランジスタP11はオフし、トランジスタN11はオンし、このトランジスタN11により、トランジスタN12のゲート電圧は“L”レベルとなり、トランジスタN12はオフ状態となる。この結果、トランジスタP10のゲート電圧は、ヒューズ11を介した電圧Vccにより、“H”レベルに安定し、トランジスタP10はオフ状態となる。よって、トランジスタP10はオフ状態、トランジスタN10はオン状態となり、ファンクション選択端子2には、“L”レベルが供給されるのである。

【0028】一方、ヒューズ11、13の両方とも切断しない場合は、トランジスタP10、N10共にオフし、ファンクション選択端子2は、外部入力端子による制御により、電圧レベルが制御ができるものである。

【0029】

【発明の効果】以上説明したごとく本発明によれば、複数のファンクション機能を備えるメモリICのような半導体回路において、この回路を、単ファンクション機能に変更させる場合の制御入力端子への定電圧印加の行い方として、ヒューズの選択的切断のみを行うだけでよい。ため、実施が極めて容易なものとなる。このことは、従来例で述べたファンクション選択端子の電位固定を、2\*40

\*種類のマスクを用意して行うものと比較し、大幅な改善である。

【0030】また従来のごとく、ファンクション選択端子のボンディングワイヤの接続先は、複数ファンクション機能品の場合のみ外部入力端子に接続させ、単ファンクション機能品の場合は、ファンクション選択端子へのボンディングを行うような操作は必要なくなる。つまり本発明によれば、ボンディングワイヤによるファンクション選択端子への定電圧印加の必要がなくなり、しかもファンクション選択端子を、定電圧源端子の近くに配置させる必要もなくなり、レイアウト的な制約がなくなる。

【0031】以上により、複数のファンクション機能を備えるメモリICのような半導体回路において、複数ファンクション機能品、単ファンクション機能品間の切り替えは、ヒューズを切断する／切断しないの選択だけで可能となる。このことは、制御入力端子（ファンクション選択端子）がICの外部入力端子である場合、この端子から上記制御回路へ所望の信号レベルを供給でき、この信号レベルの供給が不要となった場合には、各ヒューズのうちのいずれかを切断するだけで、“H”、“L”いずれかのレベルを、IC内から固定的に上記制御回路の入力とすることができ、以て、この制御回路の機能選択を、いずれか一方に固定できるようにする場合に好適となるものである。

【図面の簡単な説明】

【図1】本発明の一実施例の回路構成図。

【図2】本発明の異なる実施例の回路構成図。

【図3】本発明の異なる実施例の回路構成図。

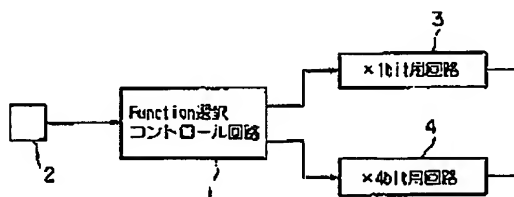
【図4】本発明の異なる実施例の回路構成図。

【図5】従来の複数ファンクションの選択切り替え方法を説明するための構成図。

【符号の説明】

1…ファンクション選択コントロール回路、2…ファンクション選択端子、3…×1ビット用回路、4…×4ビット用回路、11、13…ヒューズ、12、14…抵抗素子、C11、C12…容量、P1～P5、P10～P13…Pチャネル型MOSトランジスタ、N1～N5、N10～N13…Nチャネル型MOSトランジスタ。

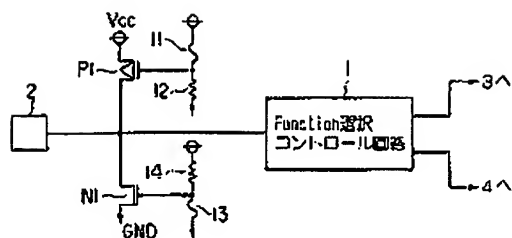
【図5】



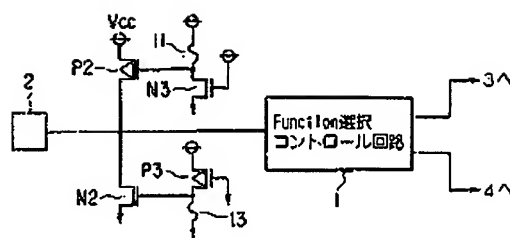
(5)

特開平7-263563

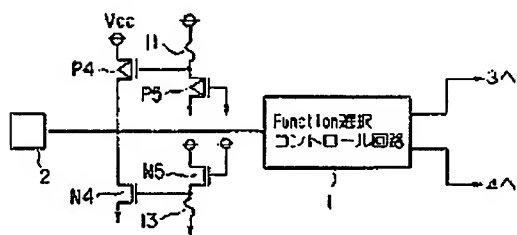
【図1】



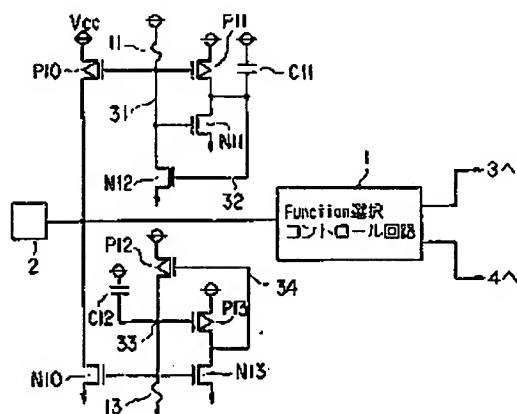
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.<sup>°</sup>

H01L 27/04

21/822

29/78

識別記号

片内整理番号

F I

技術表示箇所

H01L 27/04

29/78

M

特開平 7-263563

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 13 年 4 月 6 日 (2001. 4. 6)

【公開番号】特開平 7-263563

【公開日】平成 7 年 10 月 13 日 (1995. 10. 13)

【年通号数】公開特許公報 7-2636

【出願番号】特願平 6-53679

【国際特許分類第 7 版】

H01L 21/82

G01R 31/28

G11C 29/00 303

H01L 27/04

21/822

29/78

【F I】

H01L 21/82 S

G11C 29/00 303 B

G01R 31/28 V

H01L 27/04 M

29/78

【手続補正言】

【提出日】平成 11 年 10 月 14 日 (1999. 10. 14)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 入力端子と、

第 1 の電源と第 1 のノードとの間に接続された第 1 のヒューズと、

前記第 1 のノードをゲート入力とし前記第 1 の電源と前記入力端子との間に接続された第 1 の MOS トランジスタと、

第 2 の電源と第 2 のノードとの間に接続された第 2 のヒューズと、

前記第 2 のノードをゲート入力とし前記第 2 の電源と前記入力端子との間に接続された第 2 の MOS トランジスタと、

前記第 2 の電源と前記第 1 のノードとの間に接続された第 1 の抵抗素子と、

前記第 1 の電源と前記第 2 のノードとの間に接続された第 2 の抵抗素子と、

前記入力端子に接続された制御回路とを具備し、

前記第 1、第 2 のヒューズが切断されない状態においては、前記第 1、第 2 の MOS トランジスタはノーモリ・オフ状態であり、該制御回路によるその後段回路の制

御は、前記入力端子から与えられる信号、または前記第 1、第 2 のヒューズの切断により前記第 1、第 2 の MOS トランジスタから出力される信号、で行うことを特徴とする半導体回路装置。

【請求項 2】 前記第 1 の抵抗素子を第 3 の MOS トランジスタで置換し、この第 3 の MOS トランジスタのゲートを該トランジスタが抵抗として作用する電圧により制御し、前記第 2 の抵抗素子を第 4 の MOS トランジスタで置換し、この第 4 の MOS トランジスタのゲートを該トランジスタが抵抗として作用する電圧により制御するようにしてなる請求項 1 に記載の半導体回路装置。

【請求項 3】 入力端子と、

第 1 の電源と第 1 のノードとの間に接続された第 1 のヒューズと、

前記第 1 のノードをゲート入力とし前記第 1 の電源と前記入力端子との間に接続された第 1 の MOS トランジスタと、

第 2 の電源と第 2 のノードとの間に接続された第 2 のヒューズと、

前記第 2 のノードをゲート入力とし前記第 2 の電源と前記入力端子との間に接続された第 2 の MOS トランジスタと、

前記第 1 の電源と第 3 のノードとの間に接続された第 1 の容量と、

前記第 3 のノードをゲート入力とし前記第 2 の電源と前記第 1 のノードとの間に接続された第 5 の MOS トランジスタと、



特開平7-263563

前記第1の電源と第2のノードとの間に接続された第2の容量と、

第4のノードをゲート入力とし前記第1の電源と前記第2のノードとの間に接続された第6のMOSトランジスタと、

前記第1のノードをゲート入力とし前記第1の電源と前記第3のノードとの間に接続された第7のMOSトランジスタと、

前記第1のノードをゲート入力とし前記第2の電源と前記第3のノードとの間に接続された第8のMOSトランジスタと、

前記第2のノードをゲート入力とし前記第1の電源と前記第4のノードとの間に接続された第9のMOSトランジスタと、

前記第2のノードをゲート入力とし前記第2の電源と前記第4のノードとの間に接続された第10のMOSトランジスタと、

前記入力端子に接続された制御回路とを具備し、

前記第1、第2のヒューズが切断されない状態においては、前記第1、第2のMOSトランジスタはノーモリー・オフ状態であり、該制御回路によるその後段回路の制御は、前記入力端子から与えられる信号、または前記第1、第2のヒューズの切断により前記第1、第2のMOSトランジスタから出力される信号、で行うことを特徴とする半導体回路装置。

【請求項4】 入力端子と、

前記入力端子に接続され前記入力端子のレベルに応じて動作する入力回路と、

前記入力端子と第1の電源との間に接続された第1のトランジスタおよび前記入力端子と第2の電源との間に接続された第2のトランジスタの少なくともいずれか一方と具備し、

前記入力端子に外部から信号が与えられたときに前記入力回路は前記信号に応じて動作し、前記入力端子に外部

から信号が与えられないときは前記第1のトランジスタおよび前記第2のトランジスタのいずれか一方をオン状態にさせて前記入力回路の入力に前記第1の電源のレベルまたは前記第2の電源のレベルを与えることで、前記入力回路は前記第1の電源のレベルまたは前記第2の電源のレベルに応じて動作することを特徴とする半導体回路装置。

【請求項5】 入力端子と、

前記入力端子に接続され前記入力端子のレベルに応じて動作する入力回路と、

前記入力端子と第1の電源との間に接続された第1のトランジスタとを具備し、

前記入力端子に外部から信号が与えられたときに前記入力回路は前記信号に応じて動作し、前記入力端子に外部から信号が与えられないときは前記第1のトランジスタがオン状態になり、前記入力回路の入力に前記第1の電源のレベルが与えられて、前記入力回路は前記第1の電源のレベルに応じて動作することを特徴とする半導体回路装置。

【請求項6】 入力端子と、

前記入力端子に接続され前記入力端子のレベルに応じて動作する入力回路と、

前記入力端子と第1の電源との間に接続された第1のトランジスタと、

前記入力端子と第2の電源との間に接続された第2のトランジスタとを具備し、

前記入力端子に外部から信号が与えられたときに前記入力回路は前記信号に応じて動作し、前記入力端子に外部から信号が与えられないときは前記第1のトランジスタおよび前記第2のトランジスタの一方がオン状態になり、前記入力回路の入力に第1の電源のレベルまたは第2の電源のレベルが与えられて、前記入力回路は前記第1の電源のレベルまたは第2の電源のレベルに応じて動作することを特徴とする半導体回路装置。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**